

项目编号：S210IPP002005

# 上海交通大学

## “第 2 期大学生创新实践计划”

### 项目研究论文

论文题目：高速高精度 ADC 的系统建模及校正算法研究

项目负责人：胡翰彬 学院（系）：微电子学院

指导教师：周健军 学院（系）：微电子学院

参与学生：胡翰彬、陈博凯

项目执行时间：2010 年 10 月至 2011 年 11 月

## 高速高精度 ADC 的系统建模及校正算法研究

参与项目学生：微电子学院 胡翰彬  
微电子学院 陈博凯  
指导老师：微电子学院 周健军

### 摘要

模数转换器（ADC）是无线通信系统、图像采集系统等多数现代信号处理系统中的关键部件。但国内对其研究尚未获得一些关键突破，技术为国外垄断。

本项目采用 Simulink 软件对高速高精度 ADC 进行系统建模，得到符合理论结果的 14bit，100MHz 采样速率的 Pipeline ADC 模型。同时，本项目对 HDC 算法进行研究，并在加入 3 阶误差的情况进行了仿真，对 HDC 算法趋近误差估计值的过程进行了分析，发现 HDC 算法的确在 SNR、量化误差等指标上可以获得较好结果，证明 HDC 算法的确在剩余电压放大器失真问题上有一定的改善作用。但是对 HDC 的收敛时间问题在实际应用中表示质疑，应在此有进一步研究。

**关键词：**流水型模数转换器，HDC 算法，剩余放大器失真，Simulink

### ABSTRACT

Analog-to-Digital Converter(ADC) is the key part in many modern signal processing system, such as: wireless communication system and image acquisition system. However, the research in this field didn't make great breakthrough domestically. The technique is still monopolized abroad.

The project establish system model of high speed and high resolution ADC with Simulink, and acquire a 14bit, sample rate of 100MHz Pipeline ADC model. Meanwhile, the project do some research on HDC algorithm, and simulate the model when adding 3-order error. After analyzing the process of convergence to estimate of error, it is known that it improves some criterion, such as: SNR and quantization errors. It is proved that HDC algorithm really ameliorate the residue amplifier distortion. However, the convergence time of HDC algorithm still has some problem, and more research should be made in the aspect.

**KEY WORDS :** Pipeline ADC, HDC algorithm, residue amplifier distortion, Simulink

## 目录

1 绪论.....	3
2 基本原理介绍.....	3
2.1 ADC 基本原理.....	3
2.1.1 采样和保持.....	3
2.1.2 量化和编码.....	3
2.1.3 量化误差分析.....	4
2.2 Pipeline ADC 结构.....	5
2.2.1 Flash ADC 结构.....	5
2.2.2 Pipeline ADC 架构.....	5
2.2.3 RSD 纠正.....	6
2.3 HDC 算法介绍.....	7
2.3.1 放大器失真问题.....	7
2.3.2 HDC 算法.....	8
3 实验过程、结果及讨论.....	9
3.1 simulink 模型搭建.....	9
3.1.1 理想 ADC 搭建.....	9
3.1.2 误差加入.....	10
3.1.3 SNR 模块.....	10
3.1.4 HDC 模块.....	11
3.2 仿真结果介绍及讨论.....	12
3.2.1 理想 ADC 仿真结果.....	12
3.2.2 加入误差的 ADC 仿真.....	14
3.2.3 HDC 算法仿真结果.....	15
4 结论.....	18
参考文献.....	19
谢辞.....	19

## 1 绪论

模数转换器（ADC）是无线通信系统、图像采集系统等现代信号处理系统中的关键部件。精度在 14 至 16 位，采样率达到 100 兆/秒以上的模数转换器已经频繁使用。这些模数转换器通常能够实现 70dB~80dB 的信噪比（SNR）和 90dB~100dB 的无杂散范围（SFDR），从而胜任多数无线通信协议的高中频采样应用，但由于国外的技术垄断，国内相关技术仍尚未得到突破。本课题采用 HDC 算法实现在高速高精度 ADC 应用下实现放大谐波失真数字校正，并对算法效果进行仿真，利用 SNR，FFT 频谱等方法表现 HDC 算法正确性，为国内 ADC 研究做出一定的贡献。通过学习国内外先进技术和设计方法，研发高速、高精度模数转换器模型，通过架构设计和建模，算法设计达到课题目标，课题的进行将在高速、高精度模数转换器模型搭建，校正算法设计与仿真等方面积累经验，切实解决高性能模数转换器设计中的部分关键技术问题。

## 2 基本原理介绍

### 2.1 ADC 基本原理

模数转换则是将模拟电量转换为数字量，使输出的数字量与输入的模拟电量成正比。实现这种转换功能的电路称为模数转换器（ADC）。

在 A/D 转换中，因为输入的模拟信号在时间上是连续的，而输出的数字信号是离散量，所以进行转换时只能按一定的时间间隔对输入的模拟信号进行采样，然后再把采样值转换为输出的数字量。通常 A/D 转换需要经过采样、保持、量化、编码四个步骤。如图（1）中，C/D 模块完成采样、保持过程，Quantizer 完成量化过程，在经过 Coder 编码后获得所需的数字信号输出。

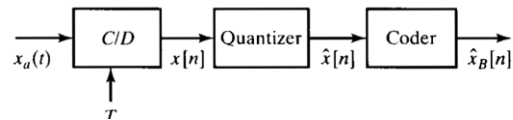


图 1 A/D 转换过程

#### 2.1.1 采样和保持

采样，就是对连续变化的模拟信号进行定时测量，抽取其样值。采样结束后，再将此取样信号保持一段时间，使 A/D 转换器有充分的时间进行 A/D 转换。图（2）中反应了采样保持的过程。其中，采样脉冲的频率越高，采样越密，采样值就越多，其采样保持的输出信号就越接近于输入信号的波形。因此，对采样频率就有一定的要求，必须满足奈奎斯特采样定理即：

$$f_s \geq 2f_{\max}$$

其中  $f_s$  是采样频率， $f_{\max}$  是输入模拟信号频谱中的最高频率。若采样频率不满足奈奎斯特采样定理，则会发生混叠失真，使后续 A/D 转换出现错误。

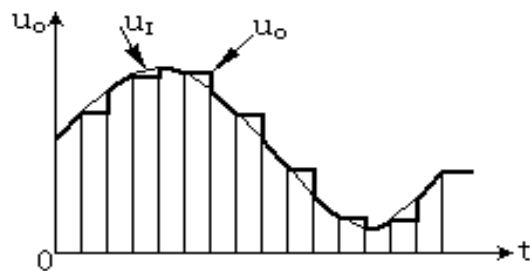


图 2 采样保持过程

#### 2.1.2 量化和编码

量化是一种非线性系统，作用为变换输入样本  $x[n]$  为一预先规定的有限集合值中的一个。把这种运算表示为

$$\hat{x}[n] = Q(x[n]),$$

称  $\hat{x}[n]$  为量化样本。量化可以为均匀间隔的量化电平，也可以是非均匀间隔的。如图（3）中，展示了一种典型的 A/D 量化特性。图中， $X_m$  为 A/D 转换器的满幅度值，故  $(N+1)$  位 A/D 转换器的量化阶大小一般为

$$\Delta = \frac{X_m}{2^N},$$

最小的量化电平 ( $\pm\Delta$ ) 就相对应于二进制码中的最低有效位。图 (3) 中还给出了量化电平的编码方式。编码就是用二进制代码来表示量化后的量化电平, 往往根据不同的应用场合选择不同的编码方式以满足数字信号处理中的应用。

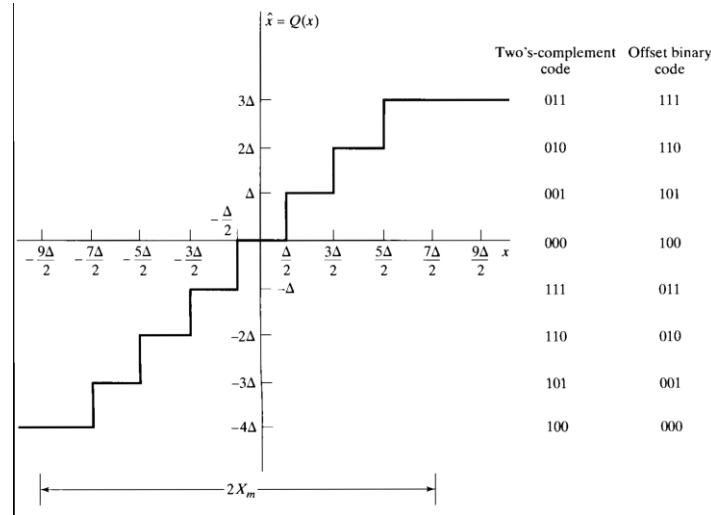


图 3 量化电平表示

### 2.1.3 量化误差分析

由图 (3) 可以看出采样后得到的采样值  $x[n]$  往往不同于量化样本  $\hat{x}[n]$ , 故总会有一定的误差, 这个误差称为量化误差, 定义为

$$e[n] = \hat{x}[n] - x[n].$$

显然, 量化级越细, 量化误差就越小, 所用的二进制代码的位数就越多。对属于是舍入样本值到最接近的量化电平的量化器 (如图 (3) 所示), 量化噪声的幅度在下列范围内  $-\Delta/2 < e[n] \leq \Delta/2$ , 在高精度 A/D 转换条件下,  $\Delta$  相对较小, 故可以假设  $e[n]$  是一个在  $-\Delta/2$  到  $\Delta/2$  作均匀分布的随机变量, 故这种量化噪声的一阶概率密度如图 (4) 所示。假定  $e[n]$  是一个均匀分布白噪声,  $e[n]$  的均值是零, 而其方差是

$$\sigma_e^2 = \int_{-\Delta/2}^{\Delta/2} e^2 \frac{1}{\Delta} de = \frac{\Delta^2}{12},$$

对于一个  $(N+1)$  位量化器, 其满幅度值为  $X_m$ , 噪声方差或功率就是

$$\sigma_e^2 = \frac{2^{-2N} X_m^2}{12}.$$

故, 一个  $(N+1)$  位量化器的信噪比就是

$$\text{SNR} = 10 \log_{10} \frac{\sigma_x^2}{\sigma_e^2} = 10 \log_{10} \frac{12 \cdot 2^{2N} \sigma_x^2}{X_m^2} = 6.02N + 10.8 - 20 \log_{10} \frac{X_m}{\sigma_x}.$$

可以看出每增加一位, 信噪比近似提高 6dB, 其中  $\sigma_x$  是信号幅度的均方根值。合理地选择满幅度值, 使其与信号幅度匹配, 对于优化信噪比很有帮助。

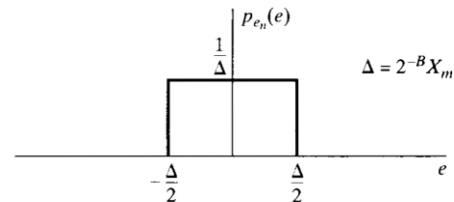


图 4 量化噪声一阶概率密度假设

## 2.2 Pipeline ADC 结构

### 2.2.1 Flash ADC 结构

Flash ADC 是最快最简单的 ADC 架构之一，如图 (5) 所示。它表示了利用  $2^N - 1$  个比较器所完成的量化电平。比较器的参考电压通过电阻分压得到。接在串联电阻两端的  $V_{ref+}$  和  $V_{ref-}$  决定了信号的满幅度值  $X_m$ 。比较器总共得到  $2^N - 1$  位码，所有低于第一个超过参考电压的比较器的输出皆为 1，其余皆为 0，这种码制称之为 thermometer 码。

因为输入信号直接接入比较器的输入端，所以 Flash ADC 的速度非常快，速度仅有比较器的速度决定。因此，Flash ADC 的延时较小，在应用反馈机制下，往往仅有 1 至 2 个时钟周期。

Flash ADC 最大弊端在于比较器的数量随着位数增长而指数级增长。增加比较器数量同时会增加芯片面积和更大的功耗，故高精度的 Flash ADC 是不切实际的。通常仅运用于 7 位 ADC 或更少的位数。

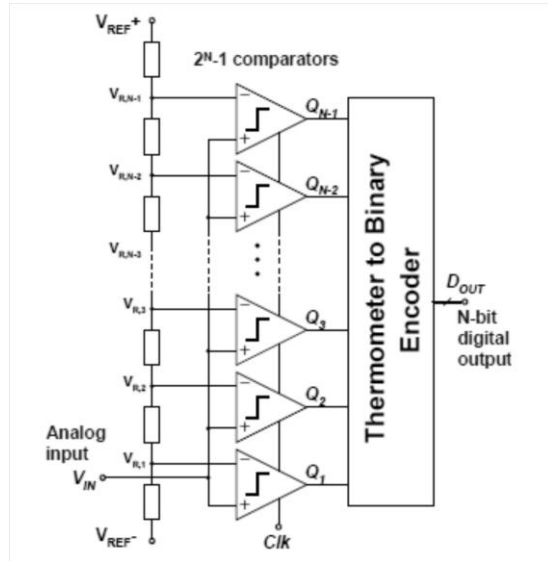


图 5 Flash ADC 结构

### 2.2.2 Pipeline ADC 架构

Pipeline ADC 利用模拟预处理得到数字信号主要部分，并放大次要部分作为下一级输入，输入输出传输曲线如图 (6)。Pipeline ADC 可以利用开关电容电路的优势，在离散时域得到良好的线性放大和求和操作。由于需要高质量的模拟预处理，故往往一级 A/D 转换仅有 1 至 2 位。

Pipeline ADC 框图如图 (7) 所示，共包含了  $m$  级流水线，每级产生  $k$  位加一位冗余位，该冗余位将与下一级的位数合并。最后一级流水线由一个 Flash ADC 实现，提供  $j$  位。最终，最后的精度  $N$  位  $m * k + j$ 。实际上，每一级的精度不一定需要想到那

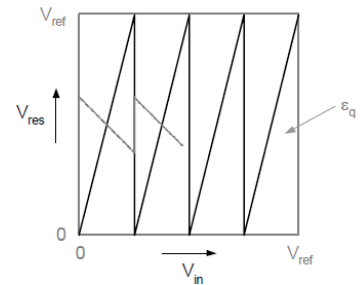


图 6 输入输出传输特性曲线

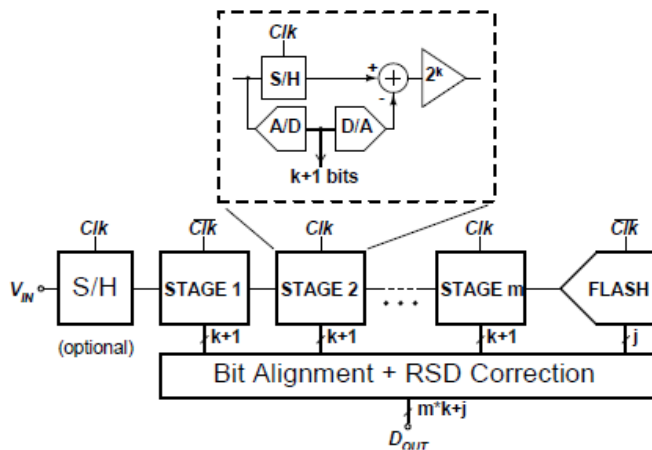


图 7 Pipeline ADC 整体框图

个。冗余位不一定需成为一个完整的位，即可能的输出数量可以小于  $2^{k+1}$ 。

一级的功能框图在图 (8) 显示。输入电压通过 S/H 电路采样，并立即通过子 ADC 数字化。A/D 转换的结果又立即转换回模拟形式，并从采样保持信号中减去。

得到的冗余电压被放大  $G_1$  倍， $G_1$  通常等于  $2^k$ 。在开关电容实现中，采样，D/A 转换，减法和放大全可通过一个单一的电路模块 (MDAC) 实现，包含一个运放和一系列开关电容。低精度的子 ADC 可由一个 Flash ADC 实现，包含一些比较器和逻辑门。

对每一级，输入信号是前一级的输出，除第一级以外。第一级的输入为输入信号。该级通过一个无需十分精确的 A/D 转换输入信号，得到数字输出  $D$ 。通过上述操作，可以得到输入信号的大致量级。将最为接近的参考电压为  $D * \frac{V_{ref}}{2^B}$  从输入信号减去，得到冗余电压信号，并放大  $G$  倍，获得输出信号



$$V_{out} = G \left( V_{in} - \frac{DV_{ref}}{2^B} \right)$$

作为下一级的输入。无需十分精确的 A/D 转换器仅需保证冗余电压放大后不会造成饱和。这样，A/D 转换器的精度对转换的最终结果没有影响，而放大倍数和求和操作仍有可能造成一定误差。

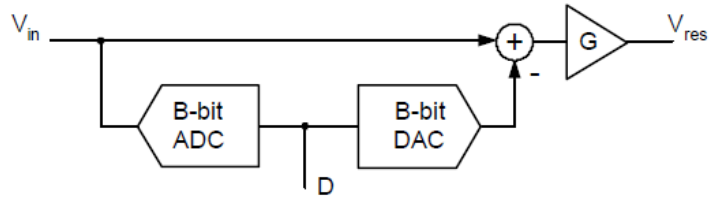


图 8 单级 Pipeline ADC 结构

相邻的级在相反的时钟相位下工作，这样在一个时钟周期内，一个样本被传递了两级。所以总延时为一半的级数加一（由数字校正决定）。为了反馈的目的，低延时是必须的，一个粗糙的结果可在前两级后得到。一个样本的不同位在不同的时间内完成。因此，需要数字延时以同步不同的位。一个样本的 A/D 转换会持续有限个时钟周期，每个时钟周期都会相应增加结果的经典。实际上，当由于失配和噪声的影响达到一定程度，结果也变得无法有所改善。通常最后一级由一级 A/D 转换完成，没有冗余的输出。这是唯一一个直接影响结果精度的 A/D 转换。

### 2.2.3 RSD 纠正

最简单的流水级是一位的量级加上一个冗余的量化电平，成为 1.5bit 级。它的传输函数如图(9)所示。信号输入输出范围均在  $-V_{ref}$  至  $V_{ref}$ 。通常，所设置的比较器参考电压通常位  $-V_{ref}/4$  和  $V_{ref}/4$ ，所对应的 ADC 输出码为“00”，“01”和“10”。

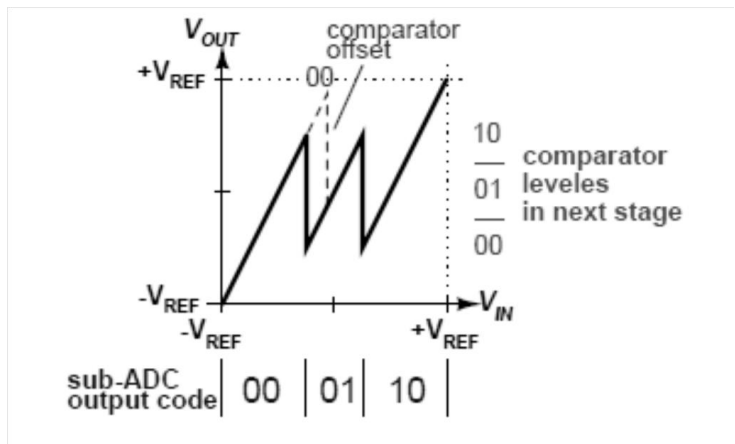


图 9 1.5bit 传输函数

比较器的失调会改变参考点啊，如图中虚线所示。结果，原本为“01”的输出结果变为了“00”。然而，这所造成的输出电压过量会保留到

下一级。最终，转换结果为其与参考电压的差值。因此，如果在一级中，减去了较小的参考电压，那么在下一级中会减去一个较大的参考电压作为补偿。

由于量化误差，下一级的结果将落在“10”区（而不是“00”和“01”区）。故所有级的输出，在一位重叠情况下相加，那么无论有没有比较的误差，最后结果的第二位将变得正确。考虑后续级的所生成的码，同理第三位以及后续位也会正确。

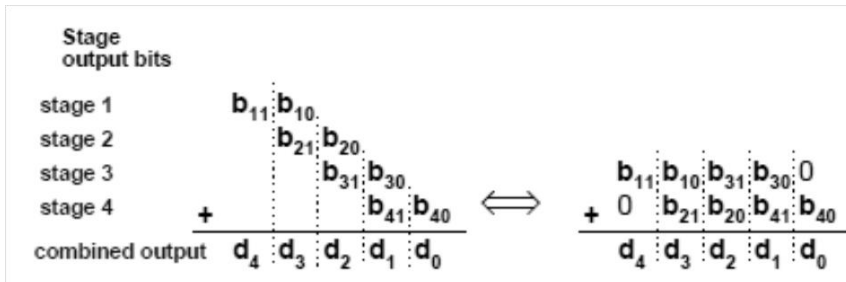


图 10 RSD 模拟过程

数字域中，这样的纠正就是一个简单的加法，如图（10）所示。在左边显示的是如何通过一位的重叠相加得到最终的结果。右边则是重排列后所得到的一个简单加法器可实现的纠正。因为除去最后一个 Flash ADC 的级，剩下的级均不可能输出“11”，故结果不会溢出。

只要冗余电压保持在下一级输入范围内，在 1.5bit 每级的结构，余度允许有  $\pm V_{ref}/4$  的最大量化误差。这些误差可以是静态的，也可以是动态的。这样的纠正方法也可以简单地扩展到更大精度的级中，最少需要一个额外的量化电平，但是为了最大化所允许的误差，比较器的数量需要翻倍。

### 2.3 HDC 算法介绍

#### 2.3.1 放大器失真问题

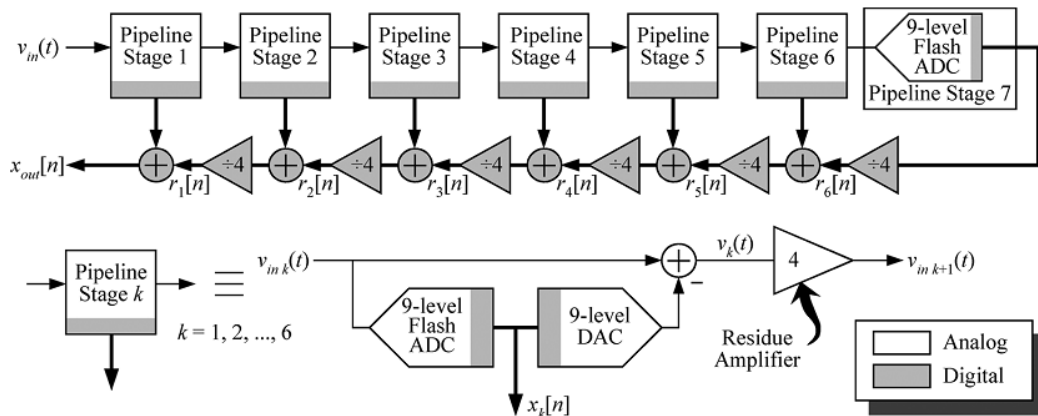


图 11 7 级 Pipeline ADC 模型

一个 7 级的 Pipeline ADC 架构如图（11）所示。除最后一级外，每一级包含一个 9 个量化电平的 Flash ADC，一个 9 个量化电平的 DAC，一个有 4 倍放大增益的剩余电压放大器。最后一级由一个 9 个量化电平的 Flash ADC 构成。所有的 Flash ADC 和 DAC 以采样频率  $f_s = 1/T_s$  时钟同步。每个理想 Flash ADC 的作用为将该采样时间上最接近输入信号的数字信号输出，共有 9 种可能的数字输出， $-4\Delta, -3\Delta, \dots, 4\Delta$ ， $\Delta$  为 Flash ADC 的量化阶。因此，从信号处理角度来看，每个 Flash ADC 与一个 9 个量化电平的量化器一致，故第  $k$  个 Flash ADC 的输出由下式决定

$$x_k[n] = v_{in\ k}(nT_s) + e_{ADC\ k}[n],$$

上式中  $v_{in\ k}(t)$  是 Flash ADC 的输入信号， $e_{ADC\ k}[n]$  是由 Flash ADC 引入的量化误差。故可用的每级流水的输入范围为  $-4.5\Delta$  至  $4.5\Delta$ ，因为 Flash ADC 引入的量化误差限制在  $\Delta/2$  的范围内。理想 DAC 在不引入失真和噪声的情况，将输入数字信号转换为模拟信号。因此理想 DAC 输入输出在数学意义上相等。故若不考虑实际电路的非理想效应，在第  $n$  个采样时间时，第  $k$  级的输入和输出满足下式：

$$v_k(nT_s) = -e_{ADC\ k}[n] \text{ 和 } v_{in\ k+1}(nT_s) = 4v_k(nT_s)。$$

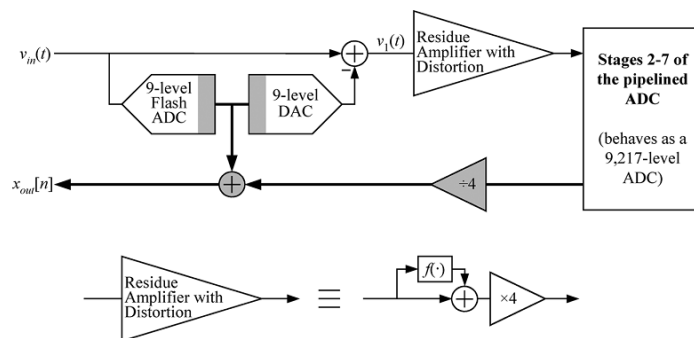


图 12 放大器误差加入方式



图 (12) 中, Flash ADC 的输出也用来生成最终的 Pipeline ADC 输出结果  $x_{out}[n]$ 。输出  $r_k[n]$  称之为第  $k$  级数字余度。由

$$r_k[n] = \frac{r_{k+1}[n] + x_{k+1}[n]}{4}$$

可得到

$$r_k[n] = v_k(nT_s) + \frac{1}{4^{7-k}} e_{ADC7}[n]$$

因此, 可以得到, 在理想情况下, 最终输出结果仅和最后一级的量化误差有关, 而与前级的量化误差无关, 如下式所示:

$$x_{out}[n] = v_{in}(nT_s) + \frac{1}{4096} e_{ADC7}[n]$$

剩余电压放大器中的失真可以考虑为除第一级外皆理想。在图 (12) 中可以看到利用一个函数  $f$  来表示放大器中所造成的失真。这种实际中产生的失真可以由一个无记忆、非线性的函数很好地近似。故它可利用  $N$  阶泰勒级数表示 ( $N$  往往小等于 5), 故失真函数  $f$  可由下式确定:

$$f(v_1) = \sum_{n=1}^N a_n v_1^n$$

故可以得到最后结果输出为

$$x_{out}[n] = x_{out}[n]_{ideal} + f(v_1(nT_s)),$$

其中  $x_{out}[n]_{ideal}$  为理想 Pipeline ADC 的输出。

### 2.3.2 HDC 算法

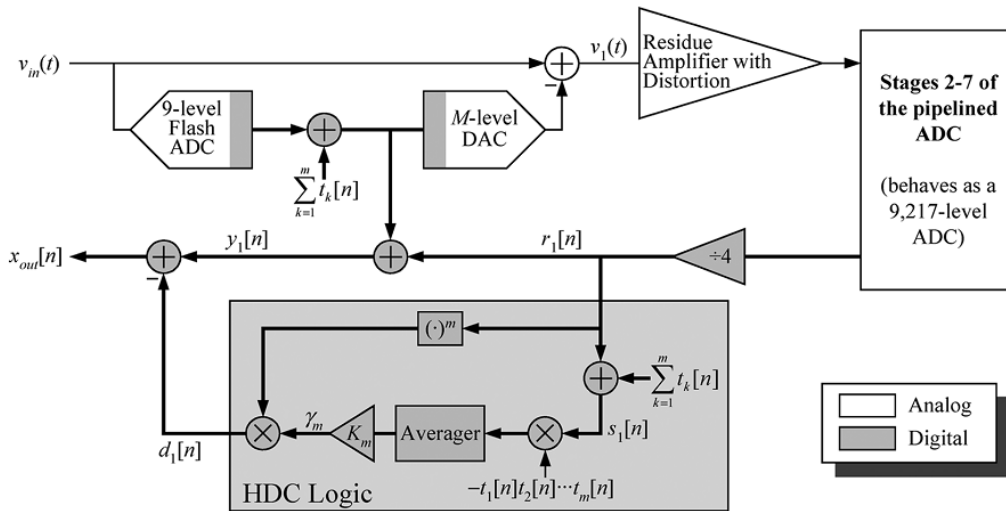


图 13 HDC 算法框图

为了表现 HDC 算法的基本想法, 考虑一种简单的情况, 即第一级的剩余电压放大器仅会引入  $m$  阶失真, 即  $f(v_1) = a_m v_1^m$ ,  $m$  为整数, 所有其他组成部分皆为理想。

在这样的情况下, HDC 算法如图 (13) 所示。生成一个不相关, 两电平, 包含  $m$  个元素的数字校正伪随机序列,  $t_1[n], t_2[n], \dots, t_m[n]$ , 满足所有取值均为  $\pm A$ , 且均值为 0, 并与输入信号无关。将这个序列的和加入 Flash ADC 的输出中, 经过 D/A 转换后成为模拟信号, 故可得到放大器的输入为:

$$v_1(nT_s) = -e_{ADC}[n] - \sum_{k=1}^m t_k[n]$$

伪随机序列的值  $A$  的选择要求为使得伪随机序列的和的最大值在  $\Delta/4$  左右。因为伪随机序列的和也随 Flash ADC 造成的量化误差一同放大, 这意味着占用了近一半的误差超出范围, 另一半范围则主要由其他非理想效应造成。

校正序列随着第一级的量化误差经过后级的 A/D 转换后, 可得到类似于理想 Pipeline ADC 的输出结果, 如下式:

$$r_1[n] = v_1(nT_s) + a_m v_1^m(nT_s) + \frac{1}{4096} e_{ADC7}[n],$$

故接下来可得到图中 $y_1[n]$ 的值:

$$y_1[n] = v_{in}(nT_s) + a_m v_1^m(nT_s) + \frac{1}{4096} e_{ADC7}[n]$$

HDC 算法的目的在于估计 $a_m v_1^m(nT_s)$ , 并将其从 $y_1[n]$ 中减去, 已得到最终校正结果。算法的基本原理在于通过 $r_1[n]$ 与校正序列乘积 $t_1[n]t_2[n] \dots t_m[n]$ 的相关性得到其中 $a_m$ 的估计值。图中 $s_1[n]$ 由下式表示

$$s_1[n] = r_1[n] + \sum_{k=1}^m t_k[n] = -e_{ADC1}[n] + a_m v_1^m(nT_s) + \frac{1}{4096} e_{ADC7}[n],$$

将其与校正序列 $t_1[n]t_2[n] \dots t_m[n]$ 相乘, 并对结果求平均。因为校正序列均值为 0, 互不相关, 并与输入信号无关, 所以 $t_1[n]t_2[n] \dots t_m[n]$ 仅与 $v_1(nT_s)$ 展开式中的 $(m!)t_1[n]t_2[n] \dots t_m[n]a_m$ 项有关, 而与其余项无关。最终,  $s_1[n]$ 与 $t_1[n]t_2[n] \dots t_m[n]$ 的乘积的均值为 $(m!)A^{2m}a_m$ 。将上述结果乘以

$$K_m = A^{-2m}/(m!)$$

得到 $a_m$ 的估计值 $\gamma_m$ 。然后将其乘以 $r_1^m[n]$ 得到 $a_m v_1^m(nT_s)$ 的估计值。

当校正序列达到上述的统计特性, 随着更多样本加入平均结果,  $\gamma_m$ 会逐步趋近于 $a_m$ , 采样点越多,  $a_m$ 的估计值的精确度越高。这种趋近和 Pipeline ADC 的输入信号无关, 所以 HDC 可以在 Pipeline ADC 平时工作时, 做系统背景误差的校正。在经过了一定的趋近时间后, 平均值已经得到了足够精确的 $a_m$ 的估计值, 这时 Pipeline ADC 的精确度不再受剩余电压放大失真影响, 而仅取决于其他非理想效应。此时, HDC 算法可用于跟踪由于环境温度改变或器件老化引起的 $a_m$ 的缓慢变化, 以实时获得新的估计值。趋近时间尚未有十分精确的计算方式, 仅能在不同应用情况下的结果得到, 在加入 3 阶放大失真, 100MHz 采样率情况下需要约 40s 的趋近时间。

虽然 $a_m$ 的估计值仅与用于平均的样本数目有关, 然而,  $a_m v_1^m(nT_s)$ 的估计值的准确性会因为 $r_1^m[n]$ 中一个不必要的高阶项而导致必然的误差, 如  $m=3$  时, 下式中后三项被忽略了。

$$a_3 r_1^3[n] \cong a_3 v_1^3(nT_s) + 3a_3^2 v_1^5(nT_s) + 3a_3^3 v_1^7(nT_s) + a_3^4 v_1^9(nT_s)$$

可喜的是, 这些不必要的高阶项在实际应用中往往很小, 故可忽略。

### 3 实验过程、结果及讨论

#### 3.1 simulink 模型搭建

Simulink 是 The MathWorks 公司开发的用于动态系统和嵌入式系统的多领域仿真和基于模型的设计工具, 常集成于 MathWorks 公司的另一产品 MATLAB 中与之配合使用。Simulink 提供了一个交互式的图形化环境及可定制模块库 (Library), 可对各种时变系统, 例如通讯、控制、信号处理、视频处理和图像处理系统等进行设计、仿真、执行和测试。

##### 3.1.1 理想 ADC 搭建

根据 Pipeline ADC 流水线型的特点, 故首先对单级的操作搭建子模块, 如下图 (14) 所示:

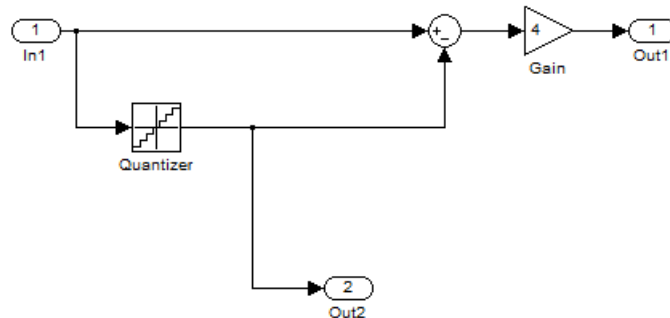


图 14 单级模块

图 (14) 中 in1 为单级输入信号, out1 为剩余电压输出, 作为下一级的输入, out2 为量化后的数字信号。Quantizer 为量化器, 选择 0.5V 为量化阶, 放大倍数为 4, 故输入电压幅值应小于 1.25V。

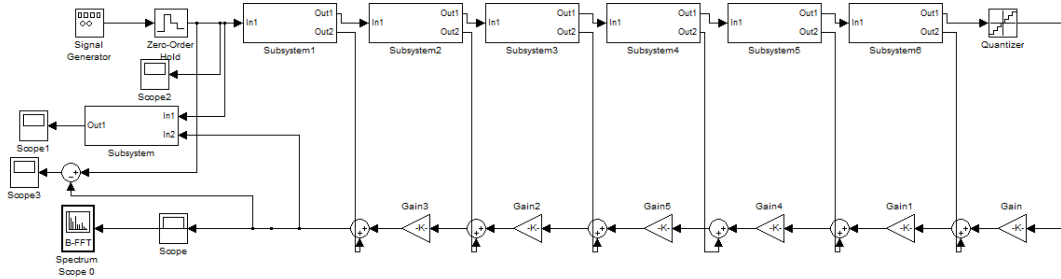


图 15 Pipeline ADC 整体模块搭建

图(15)中由Signal Generator产生输入测试信号, Zero-Order Hold模块用于采样, Subsystem1至 Subsystem6 为图 (15) 中的子模块, 经下方的通路对结果进行计算得到最终结果, Scope 和 Spectrum Scope 0 分别观察输出信号的时域和频域结果。Scope 1 反应 Subsystem 所产生的 SNR 结果。Scope 2 观察输入后采样结果, Scope 3 得到量化误差结果。

### 3.1.2 误差加入

考虑上述原理中加入剩余放大器的方案, 实验采取加入 3 次分量的方法, 故将理想 ADC 中第一级的放大器模块替换为下图 (16) 所示的模块。

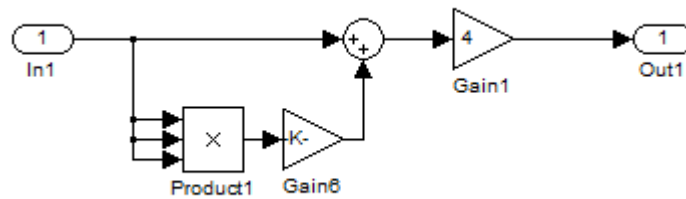


图 16 含误差的放大器模块

图 (16) 中 in1 为原放大器输入端, out1 为原放大器输出端, Gain 6 可用于设置加入误差中  $a_3$  的值。

### 3.1.3 SNR 模块

SNR (信噪比) 是衡量 ADC 性能的重要指标之一, 同时 SNR 也可以作为 HDC 算法功效的重要参数。故搭建 SNR 模块十分重要, SNR 模块具体模型如下图 (17) 所示:

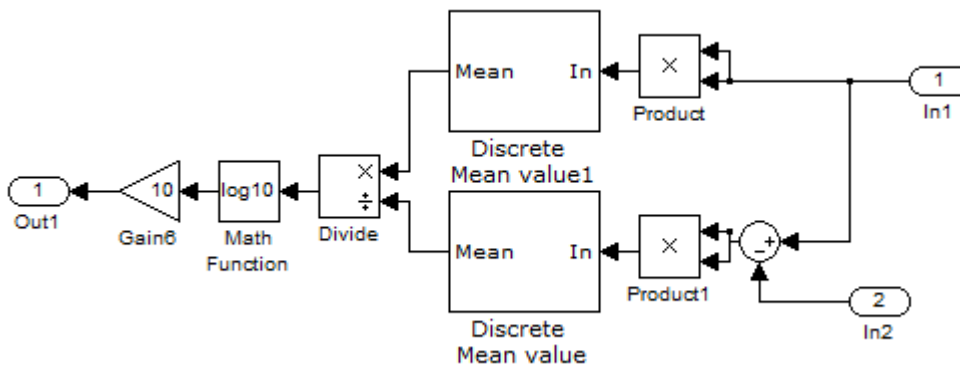


图 17 SNR 模块

图 (17) 中 in1 为无噪声信号, in2 为最终结果 (即包含噪声信号), out1 为最终的 SNR 结果输出。Discrete Mean value 模块需设置成与采样频率拥有相同的周期, 同时由于该模块采用窗口取平均技术, 故在运用时需选取合理周期以求得平均结果。

### 3.1.4 HDC 模块

HDC 模块搭建主要分为随机数生成模块和纠正算法模块。随机数生成模块如下图 (18) 所示:

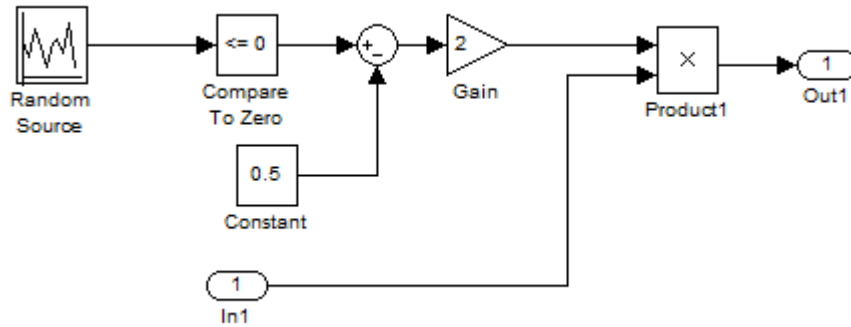


图 18 随机序列生成模块

图 (18) 中 Random Source 输出与采样频率一致的随机型号, in1 为随机序列电平 A 值的选取, out1 输出伪随机序列。生成子模块得到下图 (19) 中所示的 Subsystem、Subsystem1 和 Subsystem2。图中 in1 为与前 in1 的功能相同, out1 输出序列和, out2 输出序列乘积的负数。

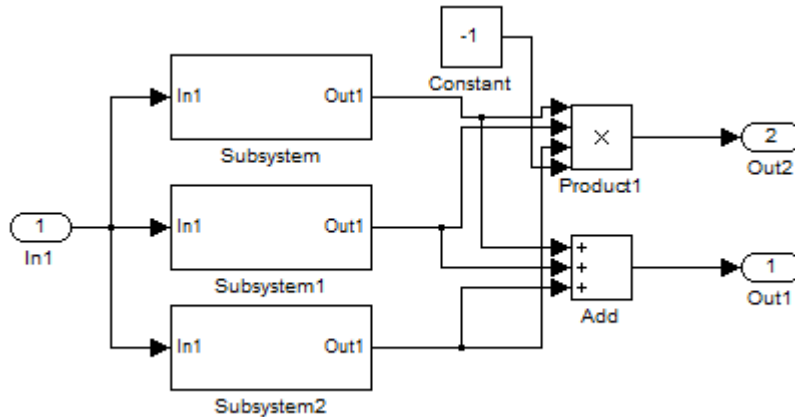


图 19 随机序列整合模块

然后是纠正算法模块的搭建, 总体模型如图 (20) 所示:

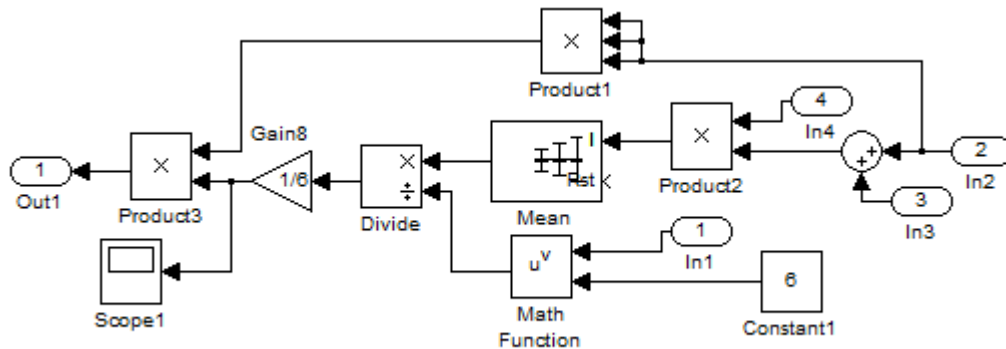


图 20 HDC 算法模块

图 (20) 中 in1 为 A 值的取值, in2 为  $r_1[n]$  信号, in3 为随机序列的和, in4 为随机序列乘积的相反值, out1 输出所得的  $a_m v_1^m(nTs)$  的估计值, Scope1 用于观察  $a_m$  的估计值  $\gamma_m$ 。上述模型中 mean 模块与前述 SNR 模块中 Discrete Mean value 模块不同, 对整个时域上的采样点求平均, 以满足能够尽快收敛于  $a_m$  的估计值  $\gamma_m$  的要求。

经过上述模型搭建, 进行综合后得到总体带有 HDC 算法的 Pipeline ADC 模型, 如下图 (21) 所示:

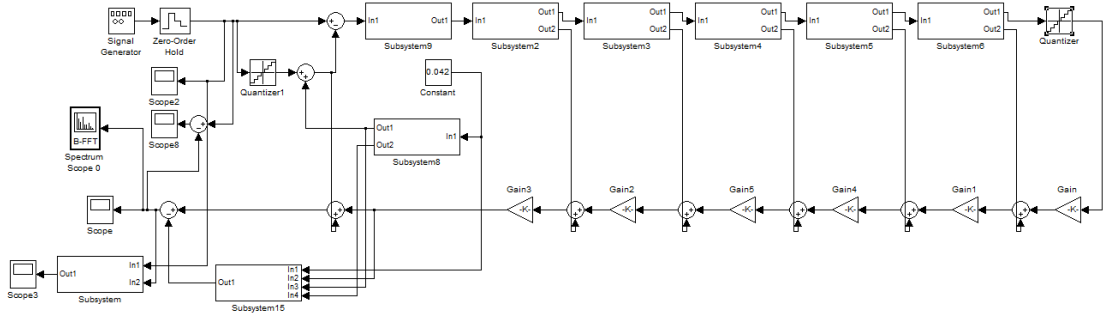


图 21 带有 HDC 算法的 Pipeline ADC 模型

图 (21) 中 Subsystem2...6 为 Pipeline ADC 中单级模型, Subsystem9 为带有误差的剩余电压放大器, Subsystem8 为随机数生成模块, Subsystem15 为 HDC 校正算法模块, Subsystem 为测量 SNR 的模块。Scope 和 Spectrum Scope0 为输出结果的时域和 FFT 结果, Scope2 为输入采样结果。Scope8 为输入输出误差结果。Scope3 观察 SNR 结果。

### 3.2 仿真结果介绍及讨论

#### 3.2.1 理想 ADC 仿真结果

首先对理想 ADC 模型进行设定, 每级 2bit, 以 0.5V 为量化阶, 共 7 级, 采样频率设置为 100MHz, 每级剩余放大倍数为 4, 总的位数为 14bit, 输入信号为幅度为 1V, 频率为 533kHz 的正弦波。SNR 模块对最近的 10000 个点求平均。

由于理想 ADC 输出为确定信号, 故设置仿真时间为 0.001 秒, 得到以下理想 ADC 仿真结果。下图 (22) 为理想 ADC 所得到的量化后的数字信号

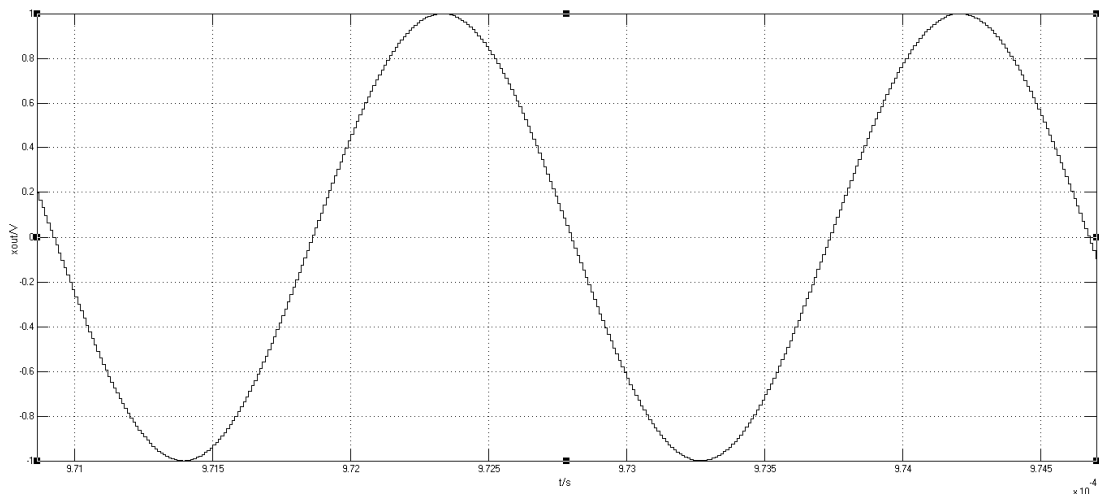


图 22 理想 ADC 时域结果

从上图中可以看到明显的正弦波的波形, 表示仿真无较大失真, 幅值仍在 1V 以内。同时, 可以看到上述波形呈现离散时间信号的特征, 时域特性基本符合理论预计。

所得到的 FFT 结果如下图 (23) :

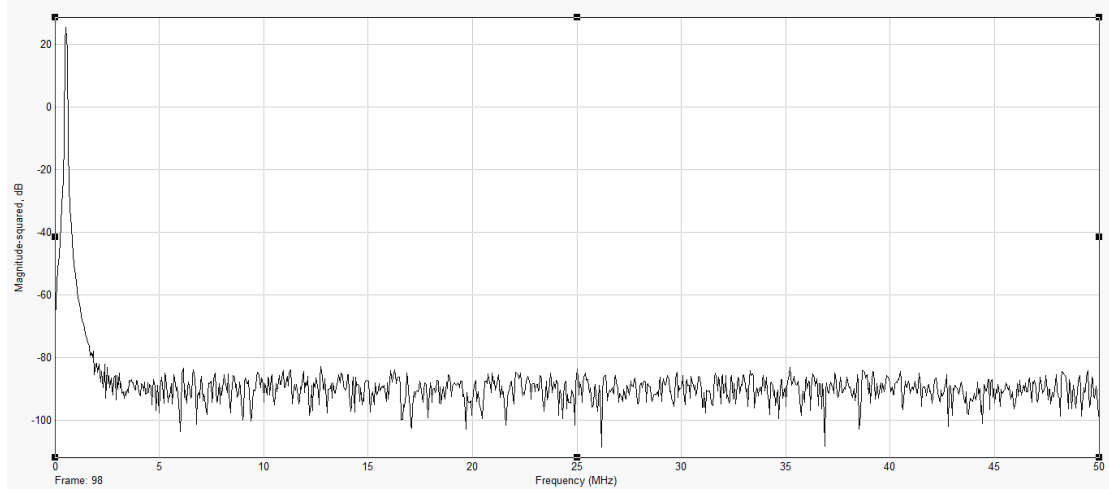


图 23 理想 ADC 的 FFT 分析

从上图中, 可以看到 533kHz 处有一个较高的频率分量, 约为 20dB 左右, 由于量化误差引起的噪声分量约为-90dB, 由于共有约 110dB 的差距, 故量化误差可基本忽略不计。同时噪声的幅值跨度不大, 约为-100dB~-85dB, 近 15dB 的跨度。

下图 (24) 为量化误差的时域波形:

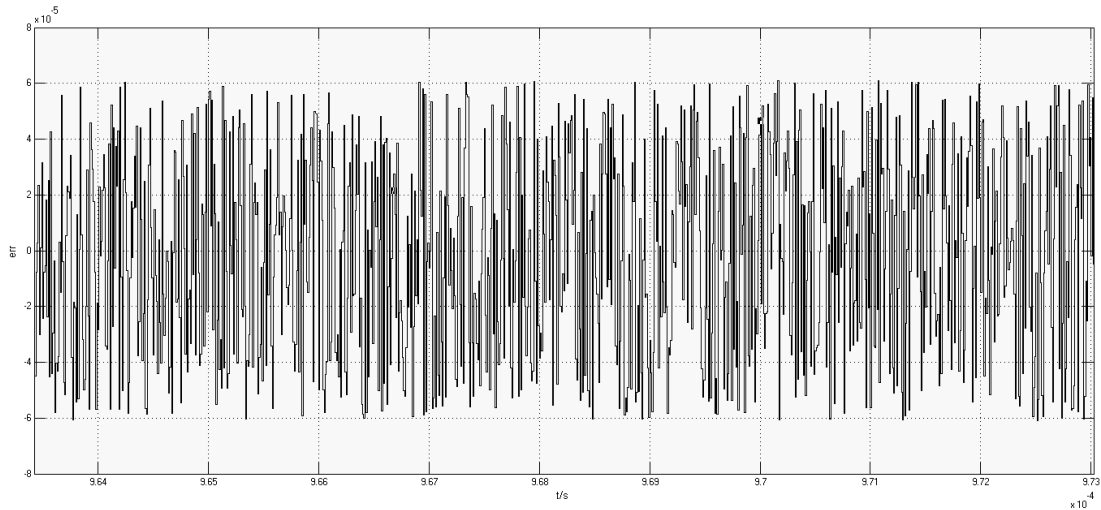


图 24 理想 ADC 量化误差

上图中量化误差不为 0, 故可看出的确模拟信号的确经过量化。同时, 观察上述波形的幅值, 可以发现波形幅值最大处约为  $6.1 \times 10^{-5} \text{V}$ , 根据理论计算, 在这个 Pipeline ADC 中, 量化误差应有  $|e[n]| \leq \frac{\Delta}{2^{N-1}} = \frac{0.5}{2^{13}} \approx 6.104 \times 10^{-5} \text{V}$ , 故仿真结果符合理论要求。



观察 SNR 仿真结果如图 (25) :

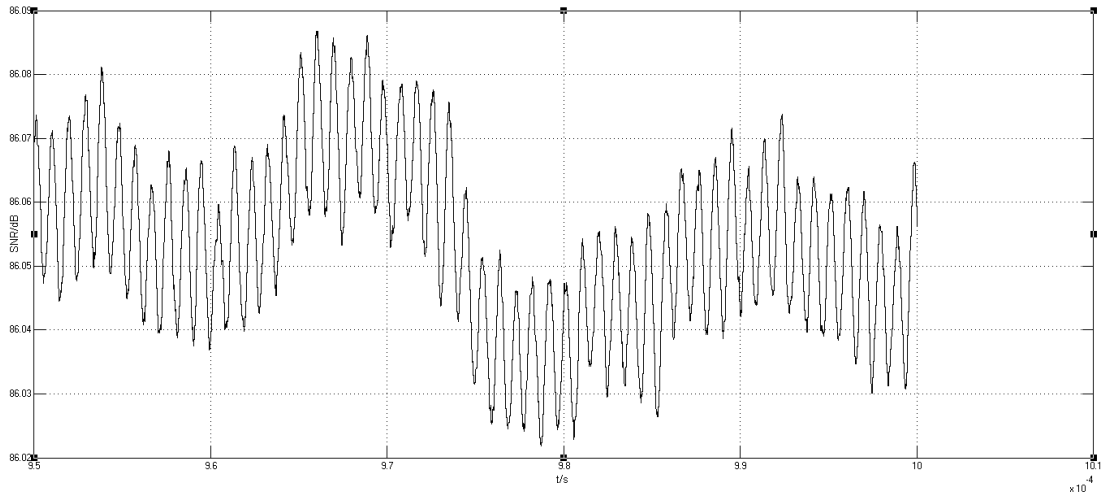


图 25 理想 ADC 的 SNR 结果

观察 SNR 模块输出结果, SNR 约等于 86.05dB, 根据 2.1.3 部分计算 SNR 的方式, 在 Pipeline ADC 满幅度输入情况下,  $SNR \cong 6.02N + 1.76 = 86.04dB$ , 故仿真结果验证理论计算正确性, 同时亦表示 SNR 模块工作正常。

通过上述仿真结果, 可以发现理想 ADC 模块各参数指标均与理论预计相符, 可基本认为该理想 ADC 模块符合理论要求, 模型搭建正确。

### 3.2.2 加入误差的 ADC 仿真

设置加入 Pipeline ADC 第一级中剩余电压放大器的误差函数为  $f(v_1(nT_s)) = 0.05v_1^3(nT_s)$ 。本仿真其他的参数与上述仿真相同。

由于加入误差后, 输出结果仍为确定信号, 故无需较长的仿真时长, 设置仿真时长为 0.001s。由于从时域仿真结果无法得到加入噪声后的效果, 故这里不再列出时域的仿真结果。通过仿真后得到下图 (26) 的 FFT 分析结果:

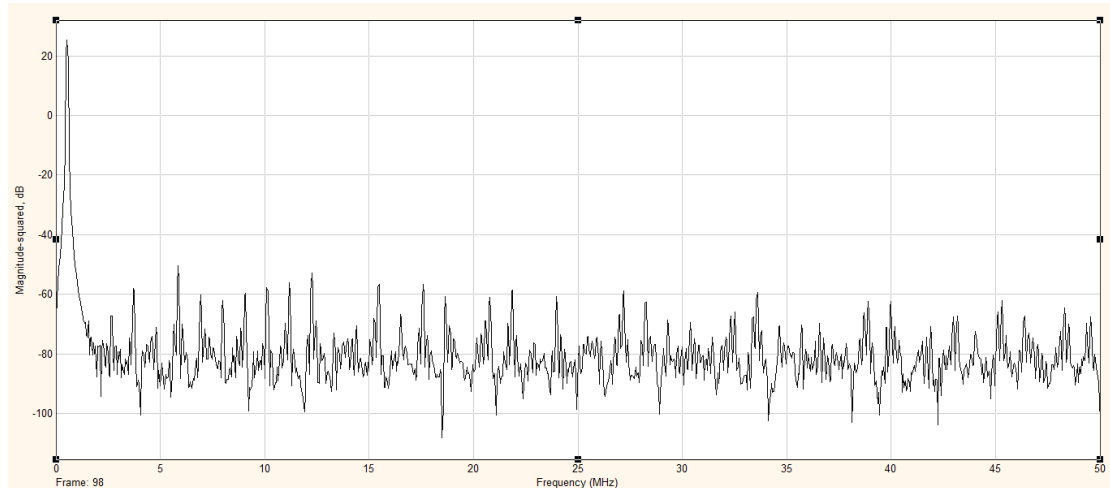


图 26 加入误差 ADC 的 FFT 分析

观察图 (26) 发现, 在主频部分没有太大变化, 但是噪声频谱的均值被提高至 -80dB 附近, 同时在一些谐波处出现了较大的噪声分量, 约有 -60dB, 整体的噪声跨度较大, 约为 -100dB~ -60dB, 近 40dB 的跨度。相比理想 ADC 的仿真结果, 加入误差后有着十分严重的噪声影响。

下图 (27) 为输入采样结果与输出数字信号的差值:

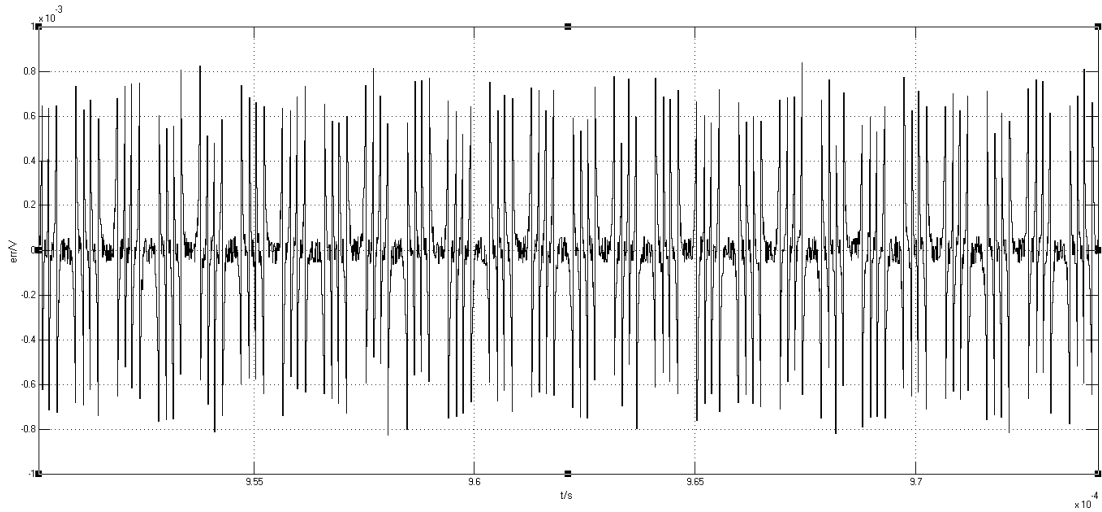


图 27 加入误差 ADC 输入与输出信号的差值

在图中可以看到, 总体范围在  $0.8 \times 10^{-3}V$ , 远远超过理想 ADC 量化误差的  $6.104 \times 10^{-5}V$  的量级, 故对 ADC 结果的后 n 位的影响十分大。

下图 (28) 为 SNR 模块对该模型的仿真结果。

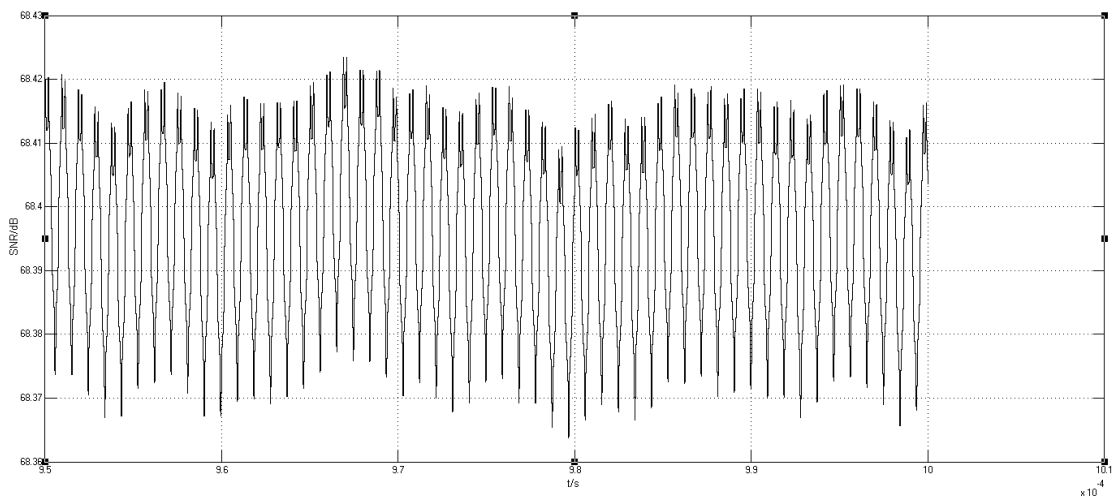


图 28 加入误差 ADC 的 SNR 结果

观察 SNR 模块输出结果, SNR 约等于 68.40dB, 远远低于理想 ADC 的 86.05dB 的结果, 与 FFT 分析结果共同表示噪声分量显著加大。

上述仿真结果表示的确加入了误差分量, 噪声分量对结果作用显著, 故很有必要对其进行数字校正, 以达到提高信噪比, 提升 ADC 精度的效果。

### 3.2.3 HDC 算法仿真结果

由于伪随机序列的值 A 的选择要求为使得伪随机序列的和的最大值在  $\Delta/4$  左右, 故选择 A 的值为 0.042。其余参数与加入误差与上述仿真相同。

由于 HDC 算法与收敛时间有着密切关系, 故仿真时长对结果的影响十分重要。故以 FFT 分析的结果对不同仿真时长的结果做分析, 表现 HDC 在趋于平均过程中的表现, 并分析收敛时所得到的各参数指标。

下图为三个不同时长下的 FFT 结果：

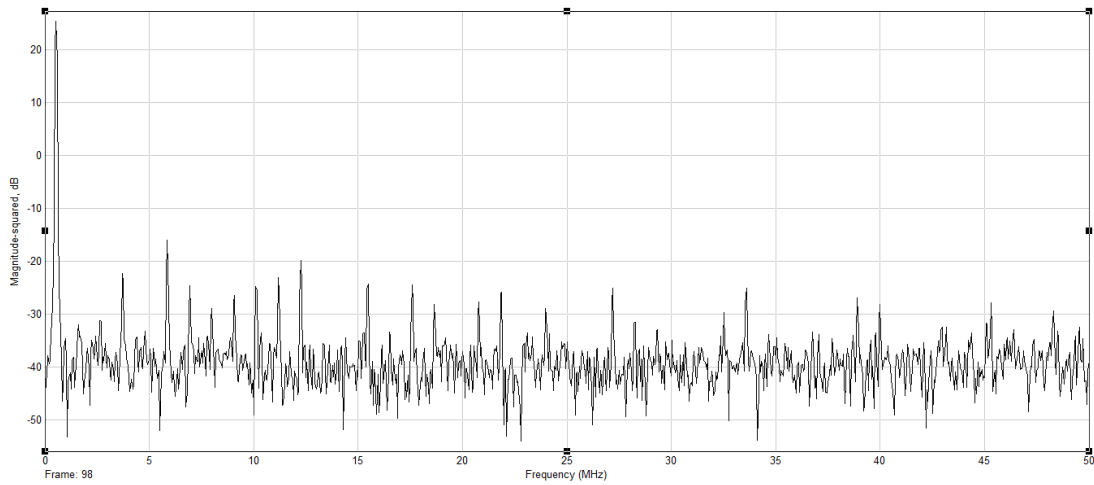


图 29 0.001 秒的 FFT 分析结果

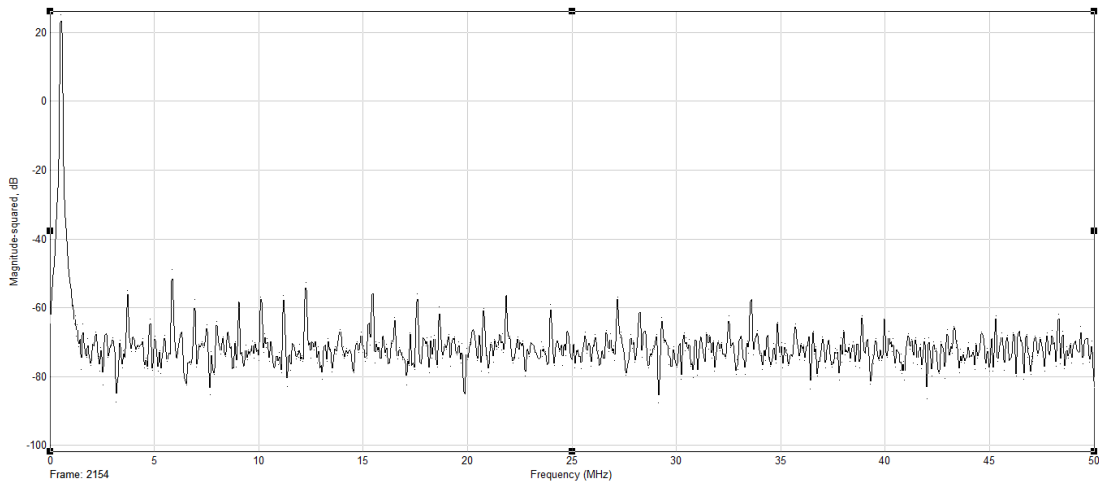


图 30 0.022 秒的 FFT 分析结果

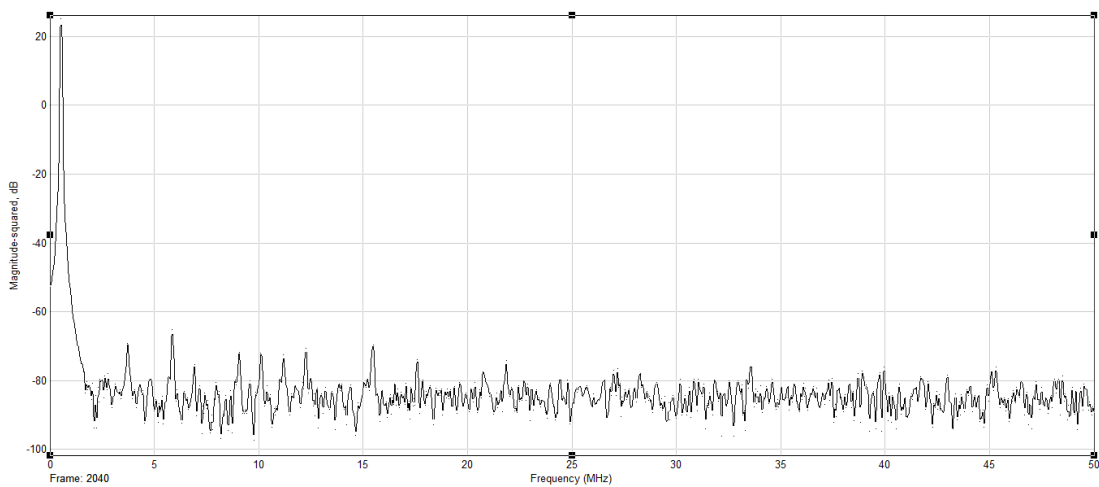


图 31 0.021 秒的 FFT 分析结果

图 (29) 为一次仿真中时长为 0.001 秒后的结果，从中可以看到 FFT 结果中噪声分量非常大，且噪声幅值跨度很大，远超过前仿真中加入噪声分量，此时样本值尚不多，所求平均估计值尚未收敛，反而造成了很大的误差分量。图 (30) 为一次仿真中时长为 0.022 秒后的结果。图 (31)

为一次仿真中时长为 0.021 秒后的结果。在经过初期较大的误差分量后，FFT 分析的噪声开始在图 (30) (-70dB) 和图 (31) (-90dB) 上下浮动，但是漂移速度较缓慢，可以发现噪声幅度跨度显著减小，同时，某些谐波的频率幅值相比未加校正情况得到了很大的削弱。观察 SNR 模块发现 SNR 指数已经基本等于或略大于未加校正的 SNR 结果，可以得出 HDC 算法的确对剩余放大器的失真问题有一定校正效果，较高时可以得到近 82dB 的结果，而较低时也有 66dB 的结果。

由于电脑性能影响，更长时间（如前文所提的 40s 的仿真时长）的仿真不切实际。故仅观察在 1 秒下的仿真结果。

经过 1 秒时长的仿真后得到下图 (32) 输入采样结果与输出数字信号的差值：

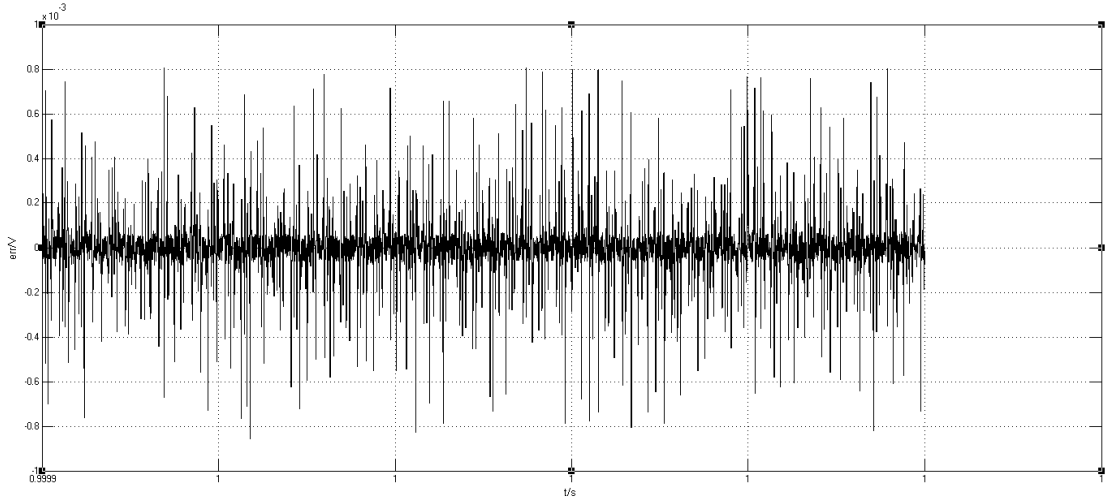


图 32 1 秒时长下输出与输入的差值

观察上图 (32)，可以得到误差幅值基本在范围内，相较理论上的量化误差  $6.104 \times 10^{-5}V$  仍有较大误差，但相比未加纠正的仿真结果  $0.8 \times 10^{-3}V$ ，已得到了近一个数量级的提升，此指标表示 HDC 算法十分有效。

经过 1 秒时长的仿真后得到下图  $a_m$  的估计值和 SNR 结果：

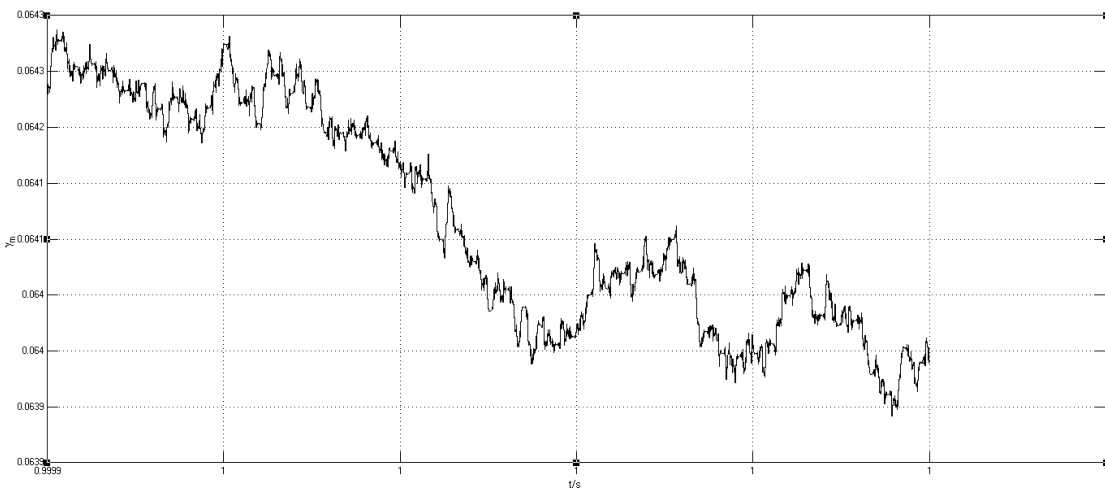


图 33 1 秒时长下  $a_m$  的估计值

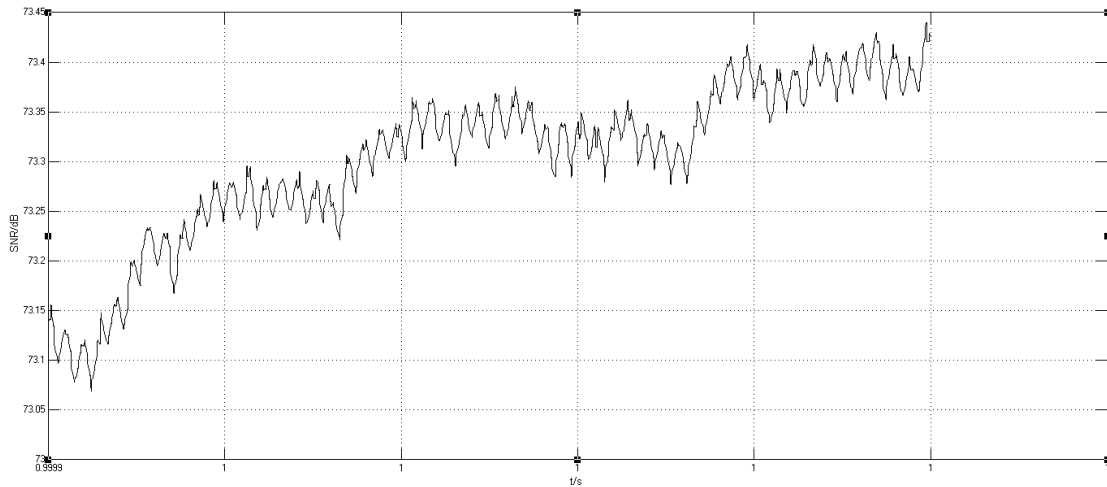


图 34 1 秒时长下 SNR 结果

图 (33) 中可以看到  $a_m$  的估计值约为 0.0641, 接近于 0.05 的误差设定值。图 (34) 中, SNR 的结果为 73.25dB, 明显优于未加纠正的仿真结果。同时可以发现当  $a_m$  的估计值趋向于 0.05 时, SNR 结果得到提升, 而  $a_m$  的估计值远离, SNR 结果则下降。这与理论估计相符。

#### 4 结论

成功地搭建了 14bit, 100MHz 采样速率的 Pipeline ADC 模型, 并通过 SNR, 量化误差等指标反映了模型的正确性, 同时由于 Pipeline ADC 的流水级的特性, 故采样速率的提高主要取决于一级的延时, 故相比其他 ADC 结构, 容易提高其采样速率, 并且在增加级数的情况下可以方便地提升 ADC 的精度要求。

验证了 HDC 算法对 Pipeline ADC 中剩余电压放大器失真问题的抑制作用, 并发现在 SNR、量化误差等指标上相较于未加入校正的结果有了很大的提升, 并得到了较为准确的估计值。本项目仅对 3 阶分量的误差做出了仿真, 今后可以对多阶分量的仿真进行研究。同时, HDC 有很好的拓展性, 可将该模块加入第二级, 第三级中, 以校正其余级数剩余电压放大器的失真问题。

但是 HDC 算法的收敛时间是其一大弊端所在。首先 HDC 算法的收敛时间的理论计算结果尚未得到, 故仅能针对不同应用进行仿真确定。并且从仿真中发现, HDC 算法的收敛时间较长, 前文仿真中经过了 1 秒后仍存在缓慢的频谱漂移。故在实际应用中应先加入一个测试信号, 在经过收敛时间后, 使得的估计值较为稳定, 故需要一个对 ADC 的预热时间。同时由于在实际过程中, 由于其他误差分量以及环境噪声等问题, 可能造成收敛时间加长, 故今后的研究应针对 HDC 算法的收敛时间的加快做出更多努力。

## 参考文献

- [1] Alan V. Oppenheim, Ronald W. Schaffer, John R. Buck, Discrete-time Signal Processing, Second Edition, China, TSINGHUA University Press, 2005, 185-197
- [2] Mikko Waltari, Circuit Techniques For Low-Voltage And High-Speed A/D Converters, Dissertation, Helsinki University of Technology, Department of Electrical and Communications Engineering, Electronic Circuit Design Laboratory, 2002
- [3] Andrea Panigada, Harmonic Distortion Correction in Pipelined Analog to Digital Converters, Dissertation, University of California, San Diego, Electrical Engineering (Electronic Circuits and Systems), 2009
- [4] Erkan Bilhan, Pedro C. Estrada -Gutierrez, Ari Y. Valero-Lopez, Franco Maloberti, Behavioral Model of Pipeline ADC by Using SIMULINK, Dissertation, Texas A&M University, Department of Electrical Engineering, 2001

## 谢辞

感谢周健军教授提供了这个项目的学习机会，并为我指出了项目研究方向。

感谢潘文捷博士和范超杰博士在项目进行过程中对我的指导，以及一些困难问题的解决起到了关键的作用。

感谢陈博凯学长在没有网上报名的情况下，仍坚持与我讨论一些项目问题，并坚持到结题为止，对他提出的意见和建议表示感谢。

感谢刘云、林亦波、李彤欣同学以及其他班级同学在项目仿真遇到很大困难时对我的支持与鼓励。

感谢上述各位的帮助，对我完成此项目起到了巨大的作用。